

5/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2002 Derwent Info Ltd. All rts. reserv.

009825119 **Image available**
WPI Acc No: 1994-104975/ 199413
XRPX Acc No: N94-082190

BICMOS transistor for LSI - permits discharge of static electricity from drain to bulk before breakdown of gate insulation in NMOS transistor to induce junction breakdown between drain and source NoAbstract

Patent Assignee: SAMSUNG ELECTRONICS CO LTD (SMSU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6053420	A	19940225	JP 9353836	A	19930315	199413 B

Priority Applications (No Type Date): KR 9210402 A 19920616

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6053420	A	9	H01L-027/06	

Abstract (Basic): JP 6053420 A

Dwg.1/6

Title Terms: BICMOS; TRANSISTOR; LSI; PERMIT; DISCHARGE; STATIC; ELECTRIC;
DRAIN; BULK; BREAKDOWN; GATE; INSULATE; NMOS; TRANSISTOR; INDUCE;
JUNCTION; BREAKDOWN; DRAIN; SOURCE; NOABSTRACT

Derwent Class: U12; U13

International Patent Class (Main): H01L-027/06

File Segment: EPI

5/5/2 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

04409520
BICMOS TRANSISTOR AND ITS MANUFACTURE

PUB. NO.: 06-053420 [JP 6053420 A]
PUBLISHED: February 25, 1994 (19940225)
INVENTOR(s): AN KISHIYOKU
APPLICANT(s): SAMSUNG ELECTRON CO LTD [488957] (A Non-Japanese Company or Corporation), KR (Korea) Republic of
APPL. NO.: 05-053836 [JP 9353836]
FILED: March 15, 1993 (19930315)
PRIORITY: 9210402 [KR 9210402], KR (Korea) Republic of, June 16, 1992 (19920616)
INTL CLASS: [5] H01L-027/06
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-053420

(43)Date of publication of application : 25.02.1994

(51)Int.Cl. H01L 27/06

(21)Application number : 05-053836

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 15.03.1993

(72)Inventor : AN KISHOKU

(30)Priority

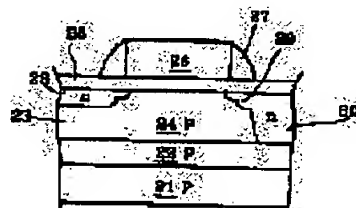
Priority number : 92 9210402 Priority date : 16.06.1992 Priority country : KR

(54) BICMOS TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To eliminate the need for a separate area for the electrostatic discharge to improve the reliability by facilitating the electrostatic discharge from the drain of an nMOS transistor to its bulk, to cause the breakdown of the drain-source injection prior to a breakdown of its gate insulation film.

CONSTITUTION: On the surface of a p-type Si semiconductor substrate 21 a p-type buried layer 22, epitaxial layer 23, a p-well 24, a gate insulation film 25, a gate 26, a spacer 27, a source 28 and a drain 29 are formed. A deep drain 30 implanted with P or other n-type impurity is formed in the p-well 24 at the drain 29 lower part. The drain 30 increase the junction area between the drain 29 and the p-well 24 of an LDD structure to form an electrostatic discharge path from the drain 29 to the p-well 24. This increases the electrostatic withstanding voltage of the nMOS transistor and prevents the breakdown of the gate insulation film 25, due to electrostatic charges.



LEGAL STATUS

[Date of request for examination] 15.03.1993

[Date of sending the examiner's decision of rejection] 12.12.1995

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-53420 ✓

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl.⁵

H01L 27/06

識別記号

庁内整理番号

FI

技術表示箇所

9170-4M

H01L 27/06

321 B

審査請求 有 請求項の数8(全9頁)

(21)出願番号 特願平5-53836

(22)出願日 平成5年(1993)3月15日

(31)優先権主張番号 1992-10402

(32)優先日 1992年6月16日

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘3洞416

(72)発明者 安基植

大韓民国京畿道龍仁郡器興邑農西里山24番地

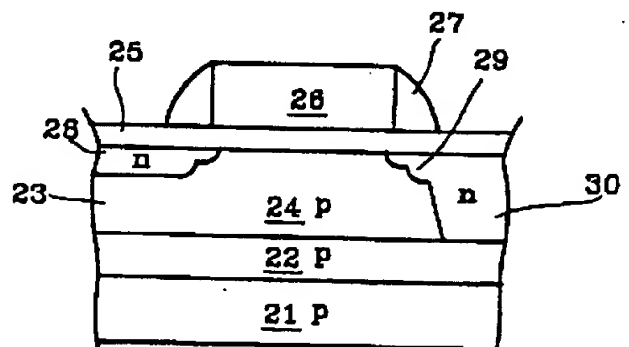
(74)代理人 弁理士 三好 秀和 (外1名)

(54)【発明の名称】 BiCMOSTランジスタ及びその製造方法

(57)【要約】 (修正有)

【目的】 静電気放電のための別途の面積を占めなくて半導体装置の集積度を向上させることができ、工程追加なしで工程及び構造が簡単な静電気保護構造を形成して信頼性を向上させることのできるBiCMOSTランジスタ及びその製造方法。

【構成】 半導体基板内に第1導電形の不純物で形成される埋没層と、この埋没層上に形成されるエピタキシャル層に第1導電形の不純物で形成される第1導電形ウェルと、前記エピタキシャル層の表面に形成されるゲート絶縁膜と、このゲート絶縁膜上の所定部分に形成されるゲートと、このゲートの側壁に形成されるスペーサと、前記ゲートの方の側のエピタキシャル層上に第2導電形の不純物によりLDD構造に形成されるソースと、前記ゲートの他側のエピタキシャル層上に第2導電形の不純物により形成されるドレインとを備えるBiCMOSTランジスタ。



【特許請求の範囲】

【請求項1】 半導体基板内に第1導電形の不純物で形成される埋没層と、この埋没層上に形成されるエピタキシャル層に第1導電形の不純物で形成される第1導電形ウェルと、前記エピタキシャル層の表面に形成されるゲート絶縁膜と、このゲート絶縁膜上の所定部分に形成されるゲートと、このゲートの側壁に形成されるスペーサと、前記ゲートの一方の側のエピタキシャル層上に第2導電形の不純物によりLDD構造に形成されるソースと、前記ゲートの他側のエピタキシャル層上に第2導電形の不純物により形成されるドレインとを備えるBiCMOSトランジスタにおいて、前記ドレイン下部のエピタキシャル層に前記ドレインの下部と接するように第2導電形の不純物で形成される深いドレインを備えることを特徴とするBiCMOSトランジスタ。

【請求項2】 半導体基板内に第1導電形の不純物で形成される埋没層と、この埋没層上に形成されるエピタキシャル層に第1導電形の不純物で形成される第1導電形ウェルと、前記エピタキシャル層の表面に形成されるゲート絶縁膜と、このゲート絶縁膜上の所定部分に形成されるゲートと、このゲートの側壁に形成されるスペーサと、前記ゲートの一方の側のエピタキシャル層上に第2導電形の不純物によりLDD構造に形成されるソースと、前記ゲートの他側のエピタキシャル層上に第2導電形の不純物により形成されるドレインとを備えるBiCMOSトランジスタにおいて、前記ゲートの他側のエピタキシャル層に前記ドレインを包みかくすように第2導電形の不純物で形成されている深いドレインを備えることを特徴とするBiCMOSトランジスタ。

【請求項3】 前記ドレイン上のゲート絶縁膜が他の部分より厚く形成されることを特徴とする請求項2記載のBiCMOSトランジスタ。

【請求項4】 前記第1導電形がp形、第2導電形がn形であることを特徴とする請求項1乃至2記載のBiCMOSトランジスタ。

【請求項5】 前記深いドレインは、ドレインより高濃度の不純物がドーピングされていることを特徴とする請求項1乃至2記載のBiCMOSトランジスタ。

【請求項6】 第1導電形の半導体基板の所定部分に互いに離隔されるように第2導電形の不純物で第1及び第2埋没層を形成する工程と、これら第1及び第2埋没層間の半導体基板に第1導電形の第3埋没層を形成する工程と、前記第1埋没層、第2埋没層及び第3埋没層の表面にエピタキシャル層を形成する工程と、前記第1埋没層及び第2埋没層上のエピタキシャル層に第2導電形の不純物で第1ウェル及び第2ウェルを形成し前記第3埋没層上のエピタキシャル層に第1導電形の不純物で第3ウェルを形成する工程と、各第1ウェル及び第2ウェルとの間の表面と第2ウェル表面の所定部分とに素子分離のためのフィールド酸化膜を形成する工程と、前記第2

ウェルの一侧に第2導電形の不純物でコレクタシンカーを形成する工程と、前記第1ウェル及び第3ウェルの所定部分にゲート絶縁膜及びゲートを形成する工程と、前記第3ウェル上に形成されているゲートの両側に低濃度の第2導電形の不純物でLDD構造を形成するための低濃度の不純物領域を形成する工程と、前記ゲートの側壁にスペーサを形成する工程と、前記第1ウェルと第2ウェルの表面に第1導電形の不純物でソース、ドレイン及びベースを形成する工程と、前記第3ウェルの表面に第2導電形の不純物でソース及びドレインを形成する工程と、前記ベース領域の一部に第2導電形の不純物でエミッタ領域を形成する工程と、前述した工程により形成される構造の全表面に第1中間絶縁膜を形成してからエミッタの所定部分を露出させたあとこの露出されたエミッタ上に多結晶シリコン層を形成してエミッタ接続層を形成する工程と、前述した工程により形成される構造の全表面に第2中間絶縁膜と保護層を順次的に形成したあと電気的連結のための接触口を形成して金属導電膜を形成する工程とを含むBiCMOSトランジスタの製造方法において、前記コレクタシンカーを形成する工程時に第2導電形の不純物で前記第3ウェルのドレインの下部に深いドレインを形成する工程を備えることを特徴とするBiCMOSトランジスタの製造方法。

【請求項7】 第1導電形の半導体基板の所定部分に互いに離隔されるように第2導電形の不純物で第1及び第2埋没層を形成する工程と、これら第1及び第2埋没層間の半導体基板に第1導電形の第3埋没層を形成する工程と、前記第1埋没層、第2埋没層及び第3埋没層の表面にエピタキシャル層を形成する工程と、前記第1埋没層及び第2埋没層上のエピタキシャル層に第2導電形の不純物で第1ウェル及び第2ウェルを形成し前記第3埋没層上のエピタキシャル層に第1導電形の不純物で第3ウェルを形成する工程と、各第1ウェル及び第2ウェルとの間の表面と第2ウェル表面の所定部分とに素子分離のためのフィールド酸化膜を形成する工程と、前記第2ウェルの一侧に第2導電形の不純物でコレクタシンカーを形成する工程と、前記第1ウェル及び第3ウェルの所定部分にゲート絶縁膜及びゲートを形成する工程と、前記第3ウェル上に形成されているゲートの両側に低濃度の第2導電形の不純物でLDD構造を形成するための低濃度の不純物領域を形成する工程と、前記ゲートの側壁にスペーサを形成する工程と、前記第1ウェルと第2ウェルの表面に第1導電形の不純物でソース、ドレイン及びベースを形成する工程と、前記第3ウェルの表面に第2導電形の不純物でソース及びドレインを形成する工程と、前記ベース領域の一部に第2導電形の不純物でエミッタ領域を形成する工程と、前述した工程により形成される構造の全表面に第1中間絶縁膜を形成してからエミッタの所定部分を露出させたあとこの露出されたエミッタ上に多結晶シリコン層を形成してエミッタ接続層を形

3

成する工程と、前述した工程により形成される構造の全表面に第2中間絶縁膜と保護層を順次的に形成したあと電気的連結のための接触口を形成して金属導電膜を形成する工程とを含むBiCMOSTランジスタの製造方法において、前記コレクタシンカーを形成する工程時に第2導電形の不純物で前記第3ウェルのドレインを包みかくすように深いドレインを形成する工程を備えることを特徴とするBiCMOSTランジスタの製造方法。

【請求項8】 前記ゲート絶縁膜を熱酸化方法で形成して前記第3ウェルの深いドレイン上に他の部分より厚く形成する請求項7記載のBiCMOSTランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はBiCMOSTランジスタ及びその製造方法に関し、さらに詳しくは静電気に脆弱なBiCMOSTランジスタ内nMOSTランジスタのゲート絶縁膜あるいはドレインゲート間が静電気により破壊されることを防止するための静電気保護構造を持つBiCMOSTランジスタ及びその製造方法に関する。

【0002】

【従来の技術】半導体装置の高集積化及び小形化の趨勢により、MOS構造ではゲート電極の縮小、ゲート絶縁膜の薄形化、浅い接合化がなされてきていることにより、接合の耐圧が減少することになっている。

【0003】一方で半導体装置は、製造工程中や取扱中に発生する静電気により瞬間的に半導体装置に高電圧が印加されて破壊されることがある。

【0004】静電気放電により半導体装置が破壊される例としては、(1)ゲートドレイン/ソース間のゲート絶縁膜の絶縁破壊、(2)ドレイン-基板間のバルクにおける接合絶縁破壊(junction breakdown)、(3)ドレイン表面のゲート電極からの電界集中による接合絶縁破壊、(4)ソースドレイン間のパンチスルーがある。前記(2)または(4)項の接合絶縁破壊、及びパンチスルーは静電気が除去されると接合が再び復元されるが、(1)項の場合であるゲート絶縁膜の破壊と

(3)項の場合であるドレインとゲート間の接合絶縁破壊は復元が不可能で半導体装置の動作が不可能になる。通常、上記のような静電気による半導体装置の破壊を防止するために半導体装置に別の抵抗を形成して信号遅延回路を備えたり、ダイオードやバイポーラトランジスタを備えるなどの方法が利用されている。また、ゲート絶縁膜の絶縁破壊やドレイン-ゲート間の接合絶縁破壊が起こる前に復元が可能な(2)項の接合絶縁破壊や

(3)項のパンチスルーが起こるようにすることも一方法である。

【0005】一般に、半導体装置にて論理を構成する能動素子は、バイポーラトランジスタとCMOSTランジ

4

スタの2種に区別される。CMOSTランジスタは消費電力が少なく、集積度が高い。バイポーラトランジスタは動作速度が速く、高負荷駆動能力が大きい特性を持っている。最近システムの高性能化が要求されることにより、論理素子において低消費電力及び高集積度を持ち高速動作及び高負荷駆動能力を持つ半導体が要求されている。このような要求を充足させるためにCMOSTランジスタとバイポーラトランジスタを同一チップ上に集積し、CMOSTランジスタを内部論理回路で、バイポーラトランジスタを周辺回路で利用するBiCMOST集積回路が開発されている。BiCMOSTランジスタにおいて、nMOSTランジスタが熱電子(Hot electron)により絶縁破壊電圧が低くなって容易に破壊されることを防止するために、LDD(Lightly Doped Drain)構造が採用されている。すなわち、n及びpMOSTランジスタにゲート電極を形成したあと、nMOSTランジスタのソース及びドレイン領域に低濃度の不純物イオンを注入し、その後の全表面に2000~3000Å程度の厚さの酸化膜を形成する。続いてRIE(Reactive Ion Etching)のような乾式エッチング方法で半導体基板が露出されるまで前記酸化膜をエッチングしてゲート電極の側壁にスペーサを形成したあと、ソース及びドレイン領域に高濃度の不純物イオンを注入する。従って、前記スペーサの下部には低濃度の不純物領域が形成されるので、絶縁破壊電圧が低くなることが防止される。

【0006】図6は従来技術によるBiCMOSTランジスタのnMOSTランジスタ部分の一部断面図である。p形Si半導体基板11上に高濃度のp形埋没層12が形成されており、前記p形埋没層12上にエピタキシャル層13が形成されている。このエピタキシャル層13に低濃度のpウェル14が形成されている。このウェル14が形成されたエピタキシャル層13上にSiO₂(酸化ケイ素)のゲート絶縁膜15が形成されており、このゲート絶縁膜15上の所定部分に多結晶Si(多結晶ケイ素)のゲート16が形成されている。また、このゲート16の側壁にSiO₂のスペーサ17が形成されている。また、前記ゲート16両側のエピタキシャル層13に、n形不純物を用いた通常のLDD構造でソース18及びドレイン19が形成されている。

【0007】上述したような従来のBiCMOSTランジスタのnMOSTランジスタにおいては、静電気放電により出力端と連結されたドレイン19とpウェル14とのpn接合の絶縁破壊現象が起ったり、ゲート絶縁膜が破壊されたり、ソースドレイン間に貫通及びドレイン表面部の接合絶縁破壊が起ることがある。従って、半導体基板の所定部分に別に静電気放電のためのnウェルを形成し、ドレインと電気的に連結して静電気を放電する。すなわち、前述した従来の方法による静電破壊(ESD)防護は、別途のnウェルを半導体基板上に形成したあとMOSTランジスタのドレインと連結しなければ

ならないので、半導体基板の面積をたくさん占めて半導体装置の集積度を落とし、また、工程が複雑になるという問題点がある。

【0008】

【発明が解決しようとする課題】従ってこの発明の目的は、静電気放電のための別途の面積を占めなくて半導体装置の集積度を向上させることができ、工程追加なしで工程及び構造が簡単な静電気保護構造を形成して信頼性を向上させることのできるBiCMOSトランジスタ及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するためにこの発明においては、半導体基板内に第1導電形の不純物で形成される埋没層と、この埋没層上に形成されるエピタキシャル層に第1導電形の不純物で形成される第1導電形ウェルと、前記エピタキシャル層の表面に形成されるゲート絶縁膜と、このゲート絶縁膜上の所定部分に形成されるゲートと、このゲートの側壁に形成されるスペーサと、前記ゲートの一方の側のエピタキシャル層上に第2導電形の不純物によりLDD構造に形成されるソースと、前記ゲートの他側のエピタキシャル層上に第2導電形の不純物により形成されるドレインとを備えるBiCMOSトランジスタにおいて、前記ドレイン下部のエピタキシャル層に前記ドレインの下部と接するように第2導電形の不純物で形成される深いドレインを備えること、あるいは前記ゲートの他側のエピタキシャル層に前記ドレインを包みかくすように第2導電形の不純物で形成されている深いドレインを備えることを特徴とする。

【0010】また、上記構成を有するBiCMOSトランジスタにおいては、前記第1導電形がp形、第2導電形がn形であることができ、また、前記深いドレインは、ドレインより高濃度の不純物がドーピングされることができる。

【0011】また、前記ゲートの他側のエピタキシャル層に前記ドレインを包みかくすように第2導電形の不純物で形成されている深いドレインを備える場合には、前記ドレイン上のゲート絶縁膜は、他の部分より厚く形成されることを特徴とする。

【0012】また、上記目的を達成するためにこの発明においては、第1導電形の半導体基板の所定部分に互いに隔離されるように第2導電形の不純物で第1及び第2埋没層を形成する工程と、これら第1及び第2埋没層間の半導体基板に第1導電形の第3埋没層を形成する工程と、前記第1埋没層、第2埋没層及び第3埋没層の表面にエピタキシャル層を形成する工程と、前記第1埋没層及び第2埋没層上のエピタキシャル層に第2導電形の不純物で第1ウェル及び第2ウェルを形成し前記第3埋没層上のエピタキシャル層に第1導電形の不純物で第3ウェルを形成する工程と、各第1ウェル及び第2ウェルと

の間の表面と第2ウェル表面の所定部分とに素子分離のためのフィールド酸化膜を形成する工程と、前記第2ウェルの一侧に第2導電形の不純物でコレクタシンカーを形成する工程と、前記第1ウェル及び第3ウェルの所定部分にゲート絶縁膜及びゲートを形成する工程と、前記第3ウェル上に形成されているゲートの両側に低濃度の第2導電形の不純物でLDD構造を形成するための低濃度の不純物領域を形成する工程と、前記ゲートの側壁にスペーサを形成する工程と、前記第1ウェルと第2ウェルの表面に第1導電形の不純物でソース、ドレイン及びベースを形成する工程と、前記第3ウェルの表面に第2導電形の不純物でソース及びドレインを形成する工程と、前記ベース領域の一部に第2導電形の不純物でエミッタ領域を形成する工程と、前述した工程により形成される構造の全表面に第1中間絶縁膜を形成してからエミッタの所定部分を露出させたあとこの露出されたエミッタ上に多結晶シリコン層を形成してエミッタ接続層を形成する工程と、前述した工程により形成される構造の全表面に第2中間絶縁膜と保護層を順次的に形成したあと電氣的連結のための接触口を形成して金属導電膜を形成する工程とを含むBiCMOSトランジスタの製造方法において、前記コレクタシンカーを形成する工程時に第2導電形の不純物で前記第3ウェルのドレインの下部に深いドレインを形成する工程、あるいは、前記コレクタシンカーを形成する工程時に第2導電形の不純物で前記第3ウェルのドレインを包みかくすように深いドレインを形成する工程を備えることを特徴とする。

【0013】ここで、前記コレクタシンカーを形成する工程時に第2導電形の不純物で前記第3ウェルのドレインを包みかくすように深いドレインを形成する工程を備える場合には、前記ゲート絶縁膜を熱酸化方法で形成して前記第3ウェルの深いドレイン上に他の部分より厚く形成するとよい。

【0014】

【実施例】以下、添付した図面を参照してこの発明によるBiCMOSトランジスタとその製造方法を詳細に説明する。

【0015】図1はこの発明の一実施例に係るBiCMOSトランジスタの一部断面図として、nMOSTランジスタ部分の断面を示したものである。p形Siの半導体基板21の表面には、B（ホウ素）などのp形不純物が $1E13 \sim 5E13 \text{ ions/cm}^2$ 程度のドーザ量で注入されたp形の埋没層22が形成されており、この埋没層22が形成された半導体基板21上にエピタキシャル層23が形成されている。この埋没層22はnMOSTランジスタのラッチアップを防止するためのものである。また、前記エピタキシャル層23に、Bなどのp形不純物が $1E12 \sim 3E12 \text{ ions/cm}^2$ 程度のドーザ量で注入されたpウェル24が形成されており、このpウェル24が形成されているエピタキシャル層23上にSiO

2 (酸化ケイ素) または Si_3N_4 (窒化ケイ素) の絶縁物質でゲート絶縁膜25が形成されている。また、前記ゲート絶縁膜25上に多結晶Si (多結晶ケイ素) でゲート26が形成されており、このゲート26の側壁にスペーサ27が形成されている。

【0016】また、前記ゲート26両側のpウェル24上にP (リン) 及びAs (ヒ素) などのn形不純物がそれぞれ $1\text{E}13 \sim 5\text{E}13 \text{ ions/cm}^2$ と $5\text{E}15 \sim 8\text{E}15 \text{ ions/cm}^2$ 程度のドーズ量で注入され低濃度及び高濃度の不純物層になされたLDD構造のソース28及びドレイン29が形成されている。また、前記ドレイン29下部のpウェル24にPなどのn形不純物が $3\text{E}15 \sim 5\text{E}15 \text{ ions/cm}^2$ 程度のドーズ量で注入された深いドレイン30が形成されている。この深いドレイン30は、LDD構造のドレイン29とpウェル24との接合面積を増加させ、ドレイン29からpウェル24への静電気放電路を形成する。従って、nMOSトランジスタの静電気に対する耐圧が増加する。また、前記ゲート絶縁膜25の絶縁破壊が発生する電圧 (以下VGという) より前記深いドレイン30を備えるnMOSトランジスタのドレイン29-バルク間の接合絶縁破壊電圧またはソース28、ドレイン29間のバンチスルー電圧が低ければ、静電気によるゲート絶縁膜25の破壊は起らないので素子は再び動作可である。また、前記深いドレイン30は、別途の工程の追加なしでBiCMOSトランジスタのバイポーラトランジスタの中でコレクタシンカー (collector sinker) を形成するときと共に形成される。

【0017】図2はこの発明の他の実施例によるBiCMOSトランジスタの一部断面図として、nMOSトランジスタ部分の断面を示すものである。p形Siの半導体基板31の表面にBなどのp形不純物でp形の埋没層32が形成されており、このp形の埋没層32が形成されている半導体基板31上にエピタキシャル層33が形成されている。また、前記エピタキシャル層33内にp形の不純物でpウェル34が形成されており、このpウェル34が形成されているエピタキシャル層33上に、熱酸化方法によりゲート絶縁膜35が形成されている。このゲート絶縁膜35は、ドレイン39が形成される部分において他の部分より厚く形成されている。すなわち、深いドレイン40に高濃度の不純物がドーピングされてあるために、前記ゲート絶縁膜35を熱酸化方法で形成するとき、深いドレイン40の上部にて酸化膜が他の部分より速く成長することにより、他の部分より厚いゲート絶縁膜35が形成されるものである。

【0018】また、ゲート絶縁膜35上に多結晶Siのゲート36が形成されており、このゲート36はゲート絶縁膜35の厚い部分と所定の範囲だけ重なり合っている。また、前記ゲート36の側壁にスペーサ37が形成されており、前記ゲート絶縁膜35が薄い側のゲート3

6下部のpウェル34に、P及びAsなどのn形不純物でそれぞれに低濃度及び高濃度の不純物層を持つLDD構造でソース38が形成されている。

【0019】一方、前記ゲート絶縁膜35が厚い方のゲート36下部のpウェル34に、Pなどのn形不純物でドレイン39が形成されている。なお、前記ソース38はLDD構造を持たないこともできる。また、前記ドレイン39を包むようにpウェル34上に高濃度のn形不純物で深いドレイン40が形成されている。この深いドレイン40はドレイン39の下側全体を覆うように形成されていて、pウェル34とドレイン39の接合面積を増加させている。また、図1のLDD構造で形成されたドレイン29より高濃度の不純物領域がゲート36内へさらに深く浸透されており、静電気による接合絶縁破壊電圧が低くなる。さらに、前記ドレイン39上のゲート絶縁膜35が厚いため、VGが増加する。

【0020】従って、ゲート絶縁膜35の絶縁破壊が起る前にドレイン39-バルク間の接合絶縁破壊が先ず発生して、ドレイン39からpウェル34への静電気放電をするので、nMOSトランジスタは破壊されず、耐性が向上する。また、前記深いドレイン40は、図1の実施例と同様に別途、工程の追加なしでBiCMOSトランジスタのバイポーラトランジスタ中にてコレクタシンカーの形成工程のとき同時に形成される。

【0021】図3 (a) ~ (d) 及び図4 (a) ~ (d) はこの発明の一実施例に係るBiCMOSトランジスタの一製造工程を示すためのものであり、図3 (a) ~ (d) はその前半工程を図4 (a) ~ (d) はその後半工程を示し、図1に示したBiCMOSトランジスタに関するものである。

【0022】まず図3 (a) に示すように、結晶面が $\langle 100 \rangle$ であり抵抗率が $2 \sim 20 \Omega \cdot \text{cm}$ であるp形Siの半導体基板50の全表面に第1パッド酸化膜51と窒化膜52を通常的气相成長法 (chemical vapor deposition ; 以下CVDという) の方法で順次に形成する。次に、通常のリソグラフィ及びエッチングによりバイポーラトランジスタ及びpMOSトランジスタを形成する部分の窒化膜52を除去し、前記第1パッド酸化膜51を露出させる。次に、第1パッド酸化膜51の露出された部分に高濃度のn形埋没層を形成するために、Asなどのn形不純物を 100 KeV 程度のエネルギー、 $1\text{E}15 \sim 5\text{E}15 \text{ ions/cm}^2$ 程度のドーズ量で注入して第1及び第2埋没層53、54を形成する。

【0023】次に図3 (b) に示すように、前記窒化膜52をマスクとして前記第1パッド酸化膜51の露出された部分を熱酸化させ、熱酸化膜55を形成する。次に、前記窒化膜52を除去したあと、前記熱酸化膜55をマスクとして第1パッド酸化膜51下部の半導体基板50にBなどのp形不純物を 100 KeV 程度のエネルギー、 $1\text{E}13 \sim 5\text{E}13 \text{ ions/cm}^2$ 程度のドーズ量で注

入して高濃度p形の第3埋没層56を形成する。次に、前記酸化膜52を除去する。

【0024】次に図3(c)に示すように、前記第1酸化膜51及び熱酸化膜55を除去したあと前記第1、第2及び第3埋没層53、54、56上に約 $1.5\mu\text{m}$ 程度の厚さのエピタキシャル層57を形成する。次に、前記第1、第2及び第3埋没層53、54、56上のエピタキシャル層57にそれぞれ第1、第2及びウェル58、59、60を形成する。このとき、前記第1及び第2ウェル58、59は、Pなどのn形不純物を、第3ウェル60は、Bなどのp形不純物を、適当なエネルギー及び $1\text{E}12\sim3\text{E}12\text{ions}/\text{cm}^2$ 程度のドーズ量でイオン注入したあと熱処理し、不純物を表面から埋没層上面まで全体に拡散させて形成する。次に、前記第1、第2及び第3ウェル58、59、60の表面に通常のCVD方法で第2パッド酸化膜61を形成する。

【0025】次に図3(d)に示すように、通常のLOCOS(Local Oxidation of Silicon)工程により、それぞれ素子の活性領域を分離するためのフィールド酸化膜62を形成する。次に前記第2ウェル59の一侧にPなどのn形不純物を 100KeV 程度のエネルギー、 $3\text{E}15\sim5\text{E}15\text{ions}/\text{cm}^2$ 程度のドーズ量でイオン注入してコレクタシンカー63を形成する。このとき、nMOSトランジスタの静電気放電のため、第3ウェル60のドレインを形成する部分にも共にn形不純物のイオン注入を実施して深いドレイン64を形成する。次に、前記第2パッド酸化膜61を除去する。

【0026】次に図4(e)に示すように、前記第1及び第3ウェル58、60の上部に、通常の方法で SiO_2 または Si_3N_4 で $2000\sim5000\text{\AA}$ 程度の厚さのゲート絶縁膜65と、多結晶Siまたは多結晶Si及び金属シリサイドを用いて $2000\sim3000\text{\AA}$ 程度の厚さのゲート66とを形成する。次に、前記第3ウェル60のMMOSトランジスタをLDD構造に形成するために、第3ウェル60のゲート66をマスクに使用してn形不純物を適当なエネルギー及び $1\text{E}13\sim5\text{E}13\text{ions}/\text{cm}^2$ 程度の低濃度ドーズ量でイオン注入してnMOSトランジスタの低濃度不純物領域67を形成する。次に、前述したような工程により形成された構造の全表面にCVDまたはLTO(Low Temperature Oxide)の方法により $2000\sim3000\text{\AA}$ 程度の酸化膜を形成したあと、前記第1、第2及び第3ウェル58、59、60の表面が露出されるように乾式エッチング方法で除去して前記ゲート66の側壁にスペーサ68を形成する。

【0027】次に図4(b)に示すように、前述した工程により形成された構造の全表面にCVDまたはLTO方法により $500\sim1500\text{\AA}$ 程度厚さの SiO_2 または Si_3N_4 の絶縁物質で第1層間絶縁膜69を形成する。次に、前記第3ウェル60にn形不純物を $3\text{E}15\sim5\text{E}15\text{ions}/\text{cm}^2$ 程度のドーズ量でイオン注入して

低濃度及び高濃度の不純物層を持つLDD構造となったnMOSトランジスタのソース70及びドレイン71を形成する。このとき、前記nMOSトランジスタのドレイン71は深いドレイン64とその底面が触れ合っている。次に、前記第1ウェル58に前記ゲート66をマスクとして用いてp形不純物を適当なエネルギーと $3\text{E}15\sim5\text{E}15\text{ions}/\text{cm}^2$ 程度のドーズ量でイオン注入して、pMOSトランジスタのソース72及びドレイン73を形成する。前記pMOSトランジスタのソース72及びドレイン73を形成するとき、パイポーラトランジスタが形成される第2ウェル59の一方側にベース接触領域74が同時に形成される。次に、前記第2ウェル59上にBなどのp形不純物を 80KeV 程度のエネルギーと $1\text{E}13\sim2\text{E}13\text{ions}/\text{cm}^2$ 程度のドーズ量でイオン注入してベース75を形成する。

【0028】次に図4(c)に示すように、通常のリソグラフィにより前記第2ウェル59他方側のパイポーラトランジスタのエミッタが形成される部分の第1層間絶縁膜69を除去して第2ウェル59の一方側を露出させる。次に、前記第1層間絶縁膜69の上部に多結晶シリコン層を形成した後、全面にエミッタソースになるAsのn形不純物を $5\text{E}15\sim8\text{E}15\text{ions}/\text{cm}^2$ 程度のドーズ量でイオン注入する。次に、前記多結晶Si層をパターニングして、前記第1層間絶縁膜69が除去されて露出された第2ウェル59上にエミッタ接続層76を形成する。このとき、このエミッタ形接続層76にドーピングされてあったn形不純物が前記ベース75へ拡散されてエミッタ77を形成する。

【0029】次に図4(d)に示すように、前述した工程により形成された構造の全表面にCVDまたはHTO(high temperature oxidation)方法で SiO_2 または Si_3N_4 で第2層間絶縁膜78を形成する。続いて、前記第2層間絶縁膜78の全表面に流れ性が良いPSG(Phospho Silicate Glass)またはBPSG(Boro-Phospho Silicate Glass)を塗布して保護層79を形成したあと、通常のリソグラフィにより電氣的接続のための接触口を形成する。次に、前記接触口を通して金属導電層80を形成する。

【0030】図5(a)～(e)はこの発明の他の実施例、すなわち図2に示したBiCMOSトランジスタの製造工程を示すための断面図である。この図5(a)～(e)においては、前出の図3(a)～(d)及び図4(a)～(d)と類似な工程が用いられるため、同一部分は同一の参照番号を付してある。

【0031】まず図5(a)に示すように、p形Siの半導体基板50の所定部分に第1、第3及び第2埋没層53、56、54をそれぞれp及びn形不純物で通常の方法により形成したあと、これら第1、第2及び第3埋没層53、54、56上に $1.5\mu\text{m}$ 程度の厚さのエピタキシャル層57を形成する。次に、第1、第2及び第

3埋没層53, 54, 56上のエピタキシャル層にそれぞれ第1, 第2及び第3ウェル58, 59, 60を、第1及び第2ウェル58, 59はn形不純物で、第3ウェル60はp形不純物でそれぞれ形成する。次に、通常のLOCOS工程により、それぞれの素子の活性領域を分離するためのフィールド酸化膜62を、第1ウェル58, 第3ウェル60間、第3ウェル60, 第2ウェル59間、及び第2ウェル59の所定の部位上に形成する。

【0032】次に図5(b)に示すように、バイポーラトランジスタのコレクタになる第2ウェル59の一方側に、n形不純物を高濃度でイオン注入してコレクタシンカー63を形成する。このとき、nMOSトランジスタの静電気放電のため、第3ウェル60のドレインを形成する部分を包みかくす程度の大きさにn形不純物をイオンを注入して深いドレイン81を形成する。次に、全表面に熱酸化方法でゲート絶縁膜65を形成する。このとき、前記深いドレイン81の不純物のドーピング濃度が非常に高く、他の部分に比べてゲート絶縁膜65の成長速度が約2倍くらい速いため、前記深いドレイン81上にはゲート絶縁膜65が厚く形成される。前記深いドレイン81は図3(d)にて形成された深いドレイン64よりゲート66の下部へさらに多く浸透しているため静電気によるドレインソース接合絶縁破壊電圧がさらに低くなり、静電気の第3ウェル60への放電もさらに容易となる。また、深いドレイン81上のゲート絶縁膜65が厚いため、静電気によるゲート絶縁膜65の破壊に対する耐性が向上される。

【0033】次に図5(c)に示すように、前記第1及び第3ウェル58, 60の上部に通常の方法によりゲート絶縁膜65及びゲート66を形成する。次に、前記第3ウェル60に形成されるnMOSトランジスタのソースをLDDの構造に形成するために、n形不純物で低濃度の不純物領域82を形成する。次に、前述した構造の全表面に酸化膜を形成したあと、乾式エッチング方法で除去して前記ゲート66の側壁を包みかくすスペース65を形成する。

【0034】次に図5(d)に示すように、前記第3ウェル60にn形不純物をイオン注入して低濃度及び高濃度の不純物層を持つLDD構造となったnMOSトランジスタのソース70と深いドレイン81に包みかくされたドレイン82を形成する。次に、前記第1ウェル58に前記ゲート66をマスクに利用してp形の不純物イオンをイオン注入してpMOSトランジスタのソース72及びドレイン73を形成する。ここで前記pMOSトランジスタのソース72及びドレイン73を形成するとき、バイポーラトランジスタが形成される第2ウェル59の一方側にベース接触領域74を同時に形成する。次に、前記第2ウェル59上にp形不純物イオンをイオン注入してベース75を形成する。

【0035】次に図5(e)に示すように、前記第2ウ

エル59他方側のバイポーラトランジスタのエミッタが形成される部分上の第1層間絶縁膜69を除去して第2ウェル59の一方側を露出させる。次に、前記第1層間絶縁膜69の上部に多結晶Si層を形成したあと、全面にエミッタソースになるn形不純物イオンをイオン注入し、前記多結晶Si層をパターニングして前記第1層間絶縁膜69が除去されて露出された第2ウェル59上にエミッタ接続層76を形成する。このとき、前記エミッタ接続層76にドーピングされていたn形不純物が前記ベース75へ拡散されてエミッタ77を形成する。次に、前述した構造の全表面に第2層間絶縁膜78と保護層79を順次に形成し、電気的接続のための接触口を形成し、この接触口を通る金属導電層80を形成する。

【0036】上述したように、この発明によるBiCMOSトランジスタ及びその製造方法においては、BiCMOSトランジスタの静電気放電のための別途のウェルや装置を備えずとも、静電気特に脆弱なnMOSトランジスタのドレインの下部またはドレインを包みかくすように形成されている深いドレインを具備させており、この深いドレインをバイポーラトランジスタのコレクタ掘下りの製造工程のときに共に形成するようにしているため、別途の追加工程を必要としない。

【0037】

【発明の効果】従って、この発明においては、製造工程中や使用時にBiCMOSトランジスタに静電気が印加される場合、nMOSトランジスタのゲート絶縁膜が破壊される前にドレインからバルクへの静電気放電を容易にし、ドレインソースの接合絶縁破壊が起るようにしているため、nMOSトランジスタのゲート絶縁膜の破壊を防止して静電気に対する耐性を向上させることができる。また、この発明においては、静電気放電のためのウェルや装置を別に形成しないので別の追加工程なしでMOSトランジスタの静電気防護構造を形成することができるとともに、BiCMOSトランジスタの構造が簡単で半導体装置の集積度を向上させることができ、製造工程が簡単な利点がある。

【図面の簡単な説明】

【図1】この発明の一実施例に係るBiCMOSトランジスタの一部断面図である。

【図2】この発明の一実施例に係るBiCMOSトランジスタの一部断面図である。

【図3】図3(a)～(d)は、この発明の一実施例に係るBiCMOSの製造工程の前半工程を示すための一部断面図である。

【図4】図4(a)～(d)は、図3(a)～(d)に示した工程に続いて行なわれる後半工程を示すための断面図である。

【図5】図5(a)～(e)は、この発明の他の一実施例に係るBiCMOSの製造工程を示すための一部断面図である。

【図 6】従来の技術を用いた BiCMOS トランジスタの一部断面図である。

【符号の説明】

21, 31 半導体基板

22, 32 埋没層

23, 33 エピタキシャル層

24, 34 p ウェル

25, 35 ゲート絶縁膜

26, 36 ゲート

27, 37 スペーサ

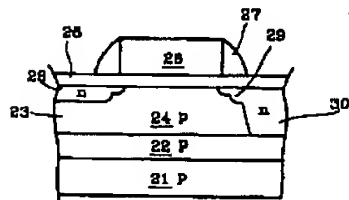
28, 38 ソース

29, 39 ドレイン

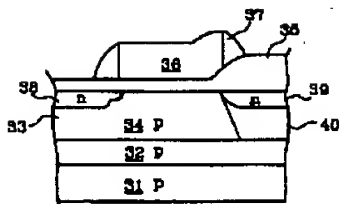
30, 40 深いドレイン

64, 81 深いドレイン

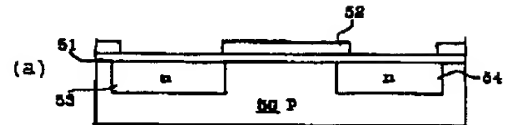
【図 1】



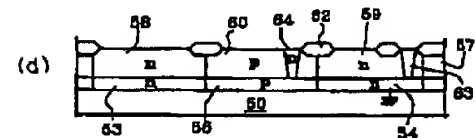
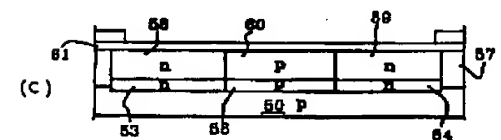
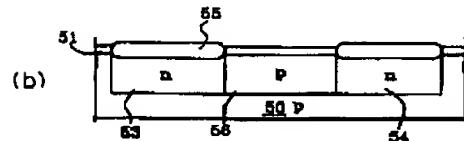
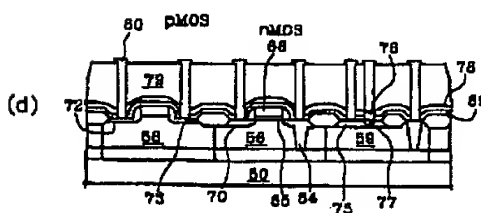
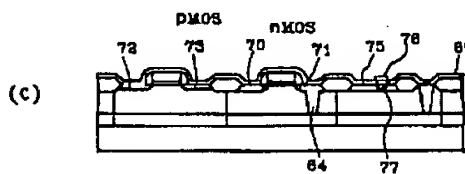
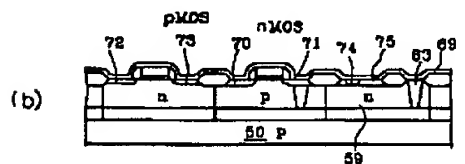
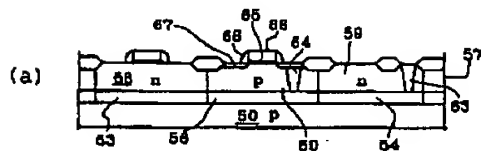
【図 2】



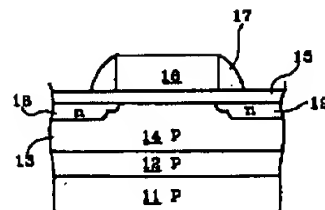
【図 3】



【図 4】



【図 6】



【図5】

